

SEMICONDUCTOR DEVICE

Patent Number: JP2002076122
Publication date: 2002-03-15
Inventor(s): KOBAYASHI YASUAKI
Applicant(s): NEC MICROSYSTEMS LTD
Requested Patent: JP2002076122
Application Number: JP20000255652 20000825
Priority Number(s):
IPC Classification: H01L21/82; H01L21/3205; H01L27/04; H01L21/822
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor device having an arrangement and configuration of a fuse where, even if a cutting technique with laser beam is just applied, fuses around the cut fuse are not exerted an influence upon, and a required area of a fuse part can be reduced largely.

SOLUTION: A fuse block 100 comprises a third base fuse block 300 that includes a first fuse part 113 and a second fuse part 115 to constitute a first base fuse block 110, a first fuse part 133 and a second fuse part 135 to constitute a first base fuse block 130, and a third fuse parts 211, 221 and 231 to constitute three second base fuse blocks 210, 220 and 230 respectively, and a second base fuse block 240 that includes a third fuse part 241.

Data supplied from the esp@cenet database - I2

【일본 공개특허공보 평14-076122호(2002.03.15)】

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号
特開2002-76122
(P2002-76122A)

(43)公開日 平成14年3月15日(2002.3.15)

(51)Int.Cl. ⁷	識別記号	F I	キーワード(参考)
H 0 1 L 21/82		H 0 1 L 21/82	F 5 F 0 3 3
21/3205		21/88	S 5 F 0 3 8
27/04		27/04	V 5 F 0 6 4
21/822			

審査請求 未請求 請求項の数9 O L (全 8 頁)

(21)出願番号 特願2000-255652(P2000-255652)

(22)出願日 平成12年8月25日(2000.8.25)

(71)出願人 000232036
エヌイーシーマイクロシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 小林 靖明
神奈川県川崎市中原区小杉町1丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(74)代理人 100082935
弁理士 京本 直樹 (外2名)

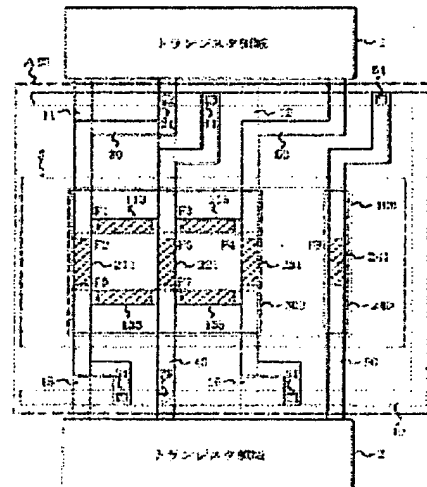
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 レーザ光を用いた切断技術をそのまま適用し
ても被切断ヒューズ周辺のヒューズに影響を及ぼすこと
なく、且つヒューズ部の所要面積を大幅に低減できる配
置と構成のヒューズを有する半導体装置を提供する。

【解決手段】 ヒューズブロック100が、第1基本ヒ
ューズブロック110を構成する第1ヒューズ部113
及び第2ヒューズ部115と、第1基本ヒューズブロッ
ク130を構成する第1ヒューズ部133及び第2ヒュー
ズ部135と、3個の第2基本ヒューズブロック21
0、220及び230をそれぞれ構成する第3ヒューズ
部211、221及び231を含む第3基本ヒューズブロッ
ク300と第3ヒューズ部241を含む第2基本ヒュー
ズブロック240を備えている。



【特許請求の範囲】

【請求項 1】 一端が共通電位配線に接続された複数のヒューズを有する半導体装置であって、第1端部から第1の方向に延在する直線部を有し第2端部を前記共通電位配線に接続する共通配線部と、この共通配線部の前記第1端部にそれぞれの一端を接続し前記第1の方向と直交する第2の方向で且つ前記共通配線部を挟んで互い反対側に形成されたそれぞれ所定の切断領域を有する第1ヒューズ部及び第2ヒューズ部と、前記第1ヒューズ部及び前記第2ヒューズ部のそれぞれの他端に接続し且つ前記第1の方向と平行で且つ前記第1ヒューズ部及び前記第2ヒューズ部に関して前記共通配線部と同じ側に延在する第1接続配線部と第2接続配線部を備えた第1基本ヒューズブロックを、少なくとも一つ含むことを特徴とする半導体装置。

【請求項 2】 ヒューズが、少なくとも第1の導電膜で形成された第1のヒューズと、前記第1の導電膜と絶縁膜で分離された異なる導電層の第2の導電膜で形成された第2のヒューズとを含む請求項 1記載の半導体装置。

【請求項 3】 複数の第1基本ヒューズブロックを有し、この中の少なくとも2個の前記第1基本ヒューズブロックは、一方の第1ヒューズ部及び第2ヒューズ部と他方の第1ヒューズ部及び第2ヒューズ部とが互いに並行で且つ所定の距離で直接対向するように配置されている請求項 1または2記載の半導体装置。

【請求項 4】 複数の第1基本ヒューズブロックを有し、この中の少なくとも2個の前記第1基本ヒューズブロックA、Bは同一構成であり、且つ前記第1基本ヒューズブロックAと前記第1基本ヒューズブロックBとは一方の第1ヒューズ部及び第2ヒューズ部と他方の第1ヒューズ部及び第2ヒューズ部とが所定の距離で互いに直接対向すると共に互いに線対称になるように配置されている請求項 1乃至3いずれか1項に記載の半導体装置。

【請求項 5】 所定の切断領域を有する第3ヒューズ部と、この第3ヒューズ部の両端部にそれぞれ一列状で接続する第3接続配線部と第4接続配線部を有する第2基本ヒューズブロックを更に含む請求項 1乃至4いずれか1項に記載の半導体装置。

【請求項 6】 第2基本ヒューズブロックの第3ヒューズ部が第1の方向になるように配置された請求項 5記載の半導体装置。

【請求項 7】 第1基本ヒューズブロックの第1及び第2ヒューズ部が第1のヒューズで形成され、第2基本ヒューズブロックの第3ヒューズ部が第2のヒューズで形成された請求項 5または6に記載の半導体装置。

【請求項 8】 第1基本ヒューズブロックが第1の導電膜で形成され、第2基本ヒューズブロックが第2の導電膜で形成された請求項 5または6に記載の半導体装置。

【請求項 9】 2個の同一構成の第1基本ヒューズブロッ

ックA、Bと3個の同一構成の第2基本ヒューズブロックを含み、前記第1基本ヒューズブロックA、Bはそれぞれ第1の導電膜で形成され、3個の前記第2基本ヒューズブロックはそれぞれ第2の導電膜で形成され、且つ前記第1基本ヒューズブロックAと前記第1基本ヒューズブロックBとは一方の第1ヒューズ部及び第2ヒューズ部と他方の第1ヒューズ部及び第2ヒューズ部とが、前記第2基本ヒューズブロックの第3ヒューズ部を露出できる所定の距離で互いに直接対向すると共に互いに線対称になるように配置され、3個の前記第2基本ヒューズブロックはそれぞれの第3ヒューズ部が前記第1基本ヒューズブロックAと前記第1基本ヒューズブロックBとの間に位置し、且つ前記第1基本ヒューズブロックA、Bそれぞれの第1接続配線部、共通配線部及び第2接続配線部と1個ずつが重なるように配置された第3基本ヒューズブロックを、少なくとも1個含む請求項 5乃至8いずれか1項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ヒューズを有する半導体装置に関し、特に例えばリダダンシセルアレイ回路を有する半導体記憶装置等のリダダンシヒューズ回路部でよく用いられる一端を共通電位配線に接続した複数のヒューズを有する半導体装置に関する。

【0002】

【従来の技術】DRAM等の大容量半導体記憶装置にとって冗長回路技術は必須である。リダダンシセルアレイ回路部は、素子の微細化によって所要面積の増大が進んでいるが、不良アドレスの設定等に用いるリダダンシヒューズ回路部、特に必要に応じてレーザー光により切断するための切断領域を有するヒューズ部の微細化はヒューズ毎の切断領域を確保する必要があるためあまり進んでいない。

【0003】このヒューズ部の面積を削減する技術は、既にいくつか提案されている。

【0004】例えば、特開平11-150239号公報（以下、公知例とする）には、ヒューズを絶縁層で隔離されたn個の階層に設けることでヒューズ部の面積を1/nに削減を図る例が開示されている。図9は、この公知例に開示されたもので、従来同一平面に並行に配列していたヒューズ901を2階層（902、903）に分けて配列し、ヒューズ部の所要面積を1/2にしている。

【0005】

【発明が解決しようとする課題】上述の公知例に開示された方法によればヒューズ部の所要面積を低減することはできるが、ヒューズの切断のためには複数のレーザー光（905、906）を準備し、切断点907でこの複数のレーザー光が全て交差するように照射して切断点でエネルギーを重畳し、溶解するようにしているので、切断方

法が極めて複雑になると言う問題がある。また、隔壁を増やしてヒューズ間の間隔を狭めた場合、被切断ヒューズ周辺のヒューズが切断時の影響を受けやすくなるという問題もある。

【0006】従って、本発明の目的は、従来の例えばレーザー光を用いた切断技術をそのまま適用しても被切断ヒューズ周辺のヒューズに影響を及ぼさず、且つヒューズ部の所定面積を大幅に低減できる配置と構成のヒューズを有する半導体装置を提供することにある。

【0007】

【課題を解決するための手段】そのため、本発明による一端が共通電位配線に接続された複数のヒューズを有する半導体装置は、第1端部から第1の方向に延在する直線部を有し第2端部を共通電位配線に接続する共通配線部と、この共通配線部の第1端部にそれぞれの一端を接続し第1の方向と直交する第2の方向で且つ共通配線部を横断して互いに対向して形成されたそれぞれ所定の切断領域を有する第1ヒューズ部及び第2ヒューズ部と、第1ヒューズ部及び第2ヒューズ部のそれぞれ他端に接続し且つ第1の方向と平行で且つ第1ヒューズ部及び第2ヒューズ部に関して共通配線部と同じ側に延在する第1接続配線部と第2接続配線部を備えた第1基本ヒューズブロックを、少なくとも一つ組み構成されている。

【0008】このとき、ヒューズは、少なくとも第1の導電膜で形成された第1のヒューズと、第1の導電膜と絶縁膜で分離された異なる導電膜の第2の導電膜で形成された第2のヒューズとを含むようにすることができ

る。

【0009】また、複数の第1基本ヒューズブロックを有し、この中の少なくとも2個の第1基本ヒューズブロックは、一方の第1ヒューズ部及び第2ヒューズ部と他方の第1ヒューズ部及び第2ヒューズ部とが互いに並行で且つ所定の距離で直接対向するように配置されるのが好ましい。

【0010】また、複数の第1基本ヒューズブロックを有し、この中の少なくとも2個の第1基本ヒューズブロックA、Bは同一構成であり、且つ第1基本ヒューズブロックAと第1基本ヒューズブロックBとは一方の第1ヒューズ部及び第2ヒューズ部と他方の第1ヒューズ部及び第2ヒューズ部とが所定の距離で互いに直接対向すると共に互いに隣対称になるように配置してもよい。

【0011】また、所定の切断領域を有する第3ヒューズ部と、この第3ヒューズ部の両端部にそれぞれ一列状で接続する第3接続配線部と第4接続配線部を有する第2基本ヒューズブロックを更に含むようにすることもできる。

【0012】このとき、第1基本ヒューズブロックの第1及び第2ヒューズ部を第1のヒューズで形成し、第2基本ヒューズブロックの第3ヒューズ部を第2のヒューズで形成することができる。また、第1基本ヒューズブ

ロックを第1の導電膜で形成し、第2基本ヒューズブロックを第2の導電膜で形成してもよい。

【0013】更に、2個の同一構成の第1基本ヒューズブロックA、Bと3個の同一構成の第2基本ヒューズブロックを含み、第1基本ヒューズブロックA、Bをいずれも第1の導電膜で形成し、3個の第2基本ヒューズブロックをいずれも第2の導電膜で形成し、且つ第1基本ヒューズブロックAと第1基本ヒューズブロックBとは一方の第1ヒューズ部及び第2ヒューズ部と他方の第1ヒューズ部及び第2ヒューズ部とが、第2基本ヒューズブロックの第3ヒューズ部を露出できる所定の距離で互いに直接対向すると共に互いに隣対称になるように配置し、3個の第2基本ヒューズブロックはそれぞれの第3ヒューズ部が第1基本ヒューズブロックAと第1基本ヒューズブロックBとの間に位置し、且つ第1基本ヒューズブロックA、Bそれぞれの第1接続配線部、共通配線部及び第2接続配線部と1個ずつが重なるように配置された第3基本ヒューズブロックを、少なくとも1個含むのが望ましい。

【0014】

【発明の実施の形態】次に、本発明について図面を参照して説明する。

【0015】図1は、本発明の半導体装置が有するヒューズブロックの一実施形態を説明するための模式的な平面図である。図2は、本実施形態のヒューズブロックが適用される半導体装置のヒューズを含む回路部の具体例の一つで、特許第3035411号公報に開示されている公知のリダダンシヒューズ回路の一例の回路図である。以下、このヒューズ素子部H1に本実施形態のヒューズブロックが適用された場合を例として説明する。図3、4は、図1のA部を分かり易くするためにヒューズを形成する導電膜毎にそれぞれのパターンを示す平面図である。特に限定されないが、ここでは第1基本ヒューズブロックが下層の第1導電膜で形成され、第2基本ヒューズブロックが層間絶縁膜を介して第1導電膜より上層に設けられる第2導電膜で形成されているものとする。図5は、第3基本ヒューズブロックの断面構造の概要を説明するための図で、(a)は平面図、(b)、(c)、(d)、(e)はそれぞれ(a)のX1-X1'線、X2-X2'線、Y1-Y1'線、Y2-Y2'線に沿った断面構造概略を示す断面図である。

【0016】図1を参照すると本実施形態のヒューズブロック100は、第1基本ヒューズブロック110(図示せず)を構成する第1ヒューズ部113及び第2ヒューズ部115と、第1基本ヒューズブロック130(図示せず)を構成する第1ヒューズ部133及び第2ヒューズ部135と、3個の第2基本ヒューズブロック210、220及び230(いずれも図示せず)をそれぞれ構成する第3ヒューズ部211、221及び231を含む第3基本ヒューズブロック300と第3ヒューズ部24

1を含む第2基本ヒューズブロック240を備えている。

【0017】まず、第1基本ヒューズブロックについて説明する。図1、3、5を参照すると、第1基本ヒューズブロック110は、共通配線部111と切断領域113pを有する第1ヒューズ部113と切断領域115pを有する第2ヒューズ部115と第1接続配線部117と第2接続配線部118を備え、第1基本ヒューズブロック130は、共通配線部131と切断領域133pを有する第1ヒューズ部133と切断領域137pを有する第2ヒューズ部135と第1接続配線部137と第2接続配線部138を備えている。また、共通配線部111、131はそれぞれ直線部111a、131aと第1端部111b、131bと第2端部111c、131cを備え、第1ヒューズ部113と第2ヒューズ部115はいずれも共通配線部111の直線部111aと直交するように且つ共通配線部111を挟んで互いに反対側に位置するように第1端部111bと接続し、第1ヒューズ部133と第2ヒューズ部135はいずれも共通配線部131の直線部131aと直交するように且つ共通配線部131を挟んで互いに反対側に位置するように第1端部131bと接続している。更に、第1基本ヒューズブロック110の第1、第2ヒューズ部113、115の他端部には、それぞれ共通配線部110と同じ側に延在する第1接続配線部117と第2接続配線部118のそれぞれ一端が接続している。尚、第1接続配線部117と第2接続配線部118の長手方向は、それぞれ直線部111aと直線部131aの長手方向に並行になるように設けられている。このとき、第1ヒューズ部113と第2ヒューズ部115とを、また第1接続配線部117と第2接続配線部118とを、いずれも共通配線部110を対称軸として線対称になるようにしておくのが好ましい。また、第1ヒューズ部113と第2ヒューズ部115、また第1接続配線部117と第2接続配線部118についても、いずれも共通配線部110を対称軸として線対称になるようにしておくのが好ましい。共通配線部111、131のそれぞれの第2端部111c、131cは、それぞれの延長部で接続孔21、23を介して共通電位配線10と接続し、第1接続配線部117の他端は配線11を介してトランジスタ領域1に、また第1接続配線部137の他端は配線15を介してトランジスタ領域2にそれぞれ接続し、第2接続配線部118の他端は配線12を介してトランジスタ領域1に、また第2接続配線部138の他端は配線16を介してトランジスタ領域2にそれぞれ接続している。尚、図1のトランジスタ領域1、2は図2のトランジスタ群G1、G2に対応す

るが、詳細の図示は省略する。また、図2のQ1、Q2、Q3、インバータ及びラッチ等も、図1では図示を省略してある。

【0018】次に第2基本ヒューズブロックについて説明する。図1、4を参照すると、第2基本ヒューズブロック210は、切断領域211pを有する第3ヒューズ部211と第3接続配線部213と第4接続配線部215を備え、第3接続配線部213と第4接続配線部215を第3ヒューズ部211の両端にそれぞれの長手方向が一直線状になるように接続している。他の第2基本ヒューズブロック230、230、240の構成は、図4に示されているとおりこの第2基本ヒューズブロック210の構成と同様であるのでこれらの詳細な説明は省略する。第2基本ヒューズブロック210、230は、各々の第3接続配線部213、233にそれぞれ接続する配線30、50を介してトランジスタ領域1に接続すると共に、各々の第4接続配線部215、235の延長部でそれぞれ接続孔31、51を介して共通電位配線10に接続している。また、第2基本ヒューズブロック220、240は、各々の第4接続配線部225、245にそれぞれ接続する配線40、60を介してトランジスタ領域2に接続すると共に、各々の第3接続配線部223、243の延長部でそれぞれ接続孔41、61を介して共通電位配線10に接続している。

【0019】尚、図7に示すように各ヒューズ部の切断領域113p、115p、133p、135p、211p、221p、231pの長さは全てLとし、互いに並行で且つ対向するヒューズ部の中心間距離（例えば第1ヒューズ部113と第1ヒューズ部133の中心間距離）、従って共通配線部111、131と第1接続配線部117、137或いは第2接続配線部118、138との中心間距離も全てPとする。但し、P、Lは、製造工程の条件とヒューズ切断条件（例えばレーザー光の照射領域のサイズ、強度、照射位置制御精度等）により適宜定めればよい。

【0020】次に第3基本ヒューズブロックについて説明する。図3、4、5を参照すると、本実施形態の第3基本ヒューズブロック300は、第1の絶縁膜101の上に第1基本ヒューズブロック110、130を形成し、その上に第2の絶縁膜103を堆積してこの第2の絶縁膜上に第2基本ヒューズブロック210、220、230を形成している。このとき、第1基本ヒューズブロック110、130は、一方の第1、第2ヒューズ部113、115と他方の第1、第2ヒューズ部133、135とが互いに並行で且つ第3ヒューズ部211、221、231と重ならない所定の中心間距離Pをおいて直線対向し、更にこの対向している間隙の中央を対称軸として第1基本ヒューズブロック110、130が互いに線対称になるように配置されている。また、第2基本ヒューズブロック210は、例えば第3接続配線部21

3が第1接続配線部117の直上に、第4接続配線部215が第1接続配線部117の直上に、第3ヒューズ部211が第1接続配線部117と第1接続配線部137との間になるように配置され、第2基本ヒューズブロック220は、第3接続配線部223が共通配線部111の直上に、第4接続配線部225が共通配線部131の直上に、第3ヒューズ部211が共通配線部111と共通配線部131との間になるように配置され、第2基本ヒューズブロック230は、第3接続配線部233が第2接続配線部118の直上に、第4接続配線部235が第2接続配線部138の直上に、第3ヒューズ部231が第2接続配線部118と第2接続配線部138との間になるように配置されている。

【0021】ここでヒューズ部に要する面積を比較する。例えば最外周ヒューズ部の中心線で囲まれた領域をヒューズ部に要する面積とすると、8個のヒューズ素子の場合、図10のように単純に並列に並べた場合は7P2の面積が必要であり、図9の例の場合は3・5P2となる。これに対し、本実施形態のヒューズブロック100は、1個の第3基本ヒューズブロック300と1個の第2基本ヒューズブロック240を用いて構成しており、3P2の面積となる。

【0022】また、ヒューズ素子が14個になると、単純に並列に並べた場合は13P2の面積が必要であり、図9の例の場合は6・5P2となる。これに対し、本発明の半導体装置では、2個の第3基本ヒューズブロック300A、300Bを用いて図8のように構成でき、5P2の面積となり、従来より所要面積を削減できる。

【0023】また、ヒューズ素子は当該ヒューズブロック100に含まれる全てのヒューズ部を露出するように形成されており、且つ接点ヒューズ部に隣接するヒューズ部は当該接点ヒューズ部と直交する方向に配置されているので、各ヒューズ部の端部が平面的に互いに接するまで接近させて配置しても、切断用レーザー光の照射が隣接ヒューズ部に及ぼす影響を抑制できている。

【0024】尚、上述の実施形態では、第1基本ヒューズブロックが下層の第1導電膜で形成され、第2基本ヒューズブロックが層間絶縁膜を介して第1導電膜より上層に設けられる第2導電膜で形成された例を説明したが、逆に第2基本ヒューズブロックを下層の第1導電膜で形成し、第2基本ヒューズブロックを層間絶縁膜を介して第1導電膜より上層に設けられる第2導電膜で形成することもできる。この場合、第3基本ヒューズブロックの断面構造は、図6のようになる。図6においても、図5と同じ構成要素は同じ参照符号を用いているので、詳細な説明は省略する。

【0025】また、第1基本ヒューズブロック、第2基本ヒューズブロックのいずれについても、少なくともヒューズ部及び接続配線部（第1基本ヒューズブロックの場合は共通配線部も含む）を同一導電膜で同時に形成す

ることができる。第1、第2導電膜としては、多結晶シリコン膜、或いはタングステンシリサイド（WSi）、チタンシリサイド（TiSi）、モリブデンシリサイド（MoSi）等のシリサイド膜、更にはこれらの後層膜等を用いることができる。また同じ材料であってもゲート電極用、容量電極用、ビット線用、ワード線用等形成される工程が異なり、互いに絶縁膜で層間が分離されていれば、第1、第2導電膜として使用できることは言うまでもない。

【0026】本発明の半導体装置がもたらすヒューズ部の面積削減効果は、上記で簡単に説明したが、最近のメモリデバイスではリダダンシ用ヒューズが1000個以上搭載されることもまれではないので、より実態に近い例で具体的に説明する。

【0027】例えば $P=3$ 、 $2\mu m$ とし、Yリダダンシ用ヒューズが800個、Xリダダンシ用ヒューズが1536個搭載されているとすると、第3基本ヒューズブロックを用いて設計すれば、図10のように単に並行に配列する場合に比べてYリダダンシ用ヒューズでほぼ4671 μm^2 、Xリダダンシ用ヒューズでほぼ9977 μm^2 の面積削減になり、公知例の方法に比べてもYリダダンシ用ヒューズでほぼ580 μm^2 、Xリダダンシ用ヒューズでほぼ1118 μm^2 の面積削減になる。

【0028】

【発明の効果】以上説明したように、本発明の半導体装置は、従来の例えばレーザー光を用いた切断技術をそのまま適用しても被切断ヒューズ周辺のヒューズに影響を及ぼすことなく、且つヒューズ部の所要面積を大幅に低減できるという効果が得られる。特に、リダダンシ用ヒューズが大量に搭載された大容量メモリデバイス等において、大きな削減効果が得られる。

【図面の簡単な説明】

【図1】本発明の半導体装置が有するヒューズブロックの一実施形態を説明するための模式的な平面図である。

【図2】特許第3036411号公報に開示されている公知のリダダンシヒューズ回路の一例の回路図である。

【図3】図1のA部を分かり易くするためにヒューズを形成する導電膜毎にそれぞれのパターンを示す平面図である。

【図4】図1のA部を分かり易くするためにヒューズを形成する導電膜毎にそれぞれのパターンを示す平面図である。

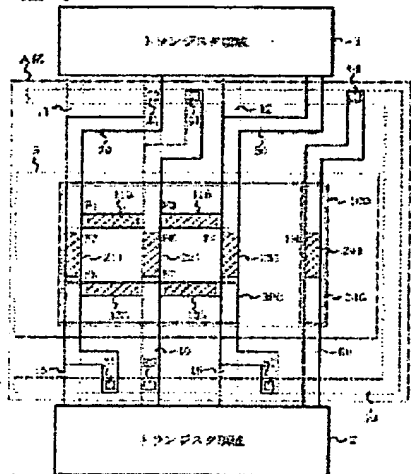
【図5】第3基本ヒューズブロックの断面構造の概要を説明するための図で、(a)は平面図、(b)、(c)、(d)、(e)はそれぞれ(a)のX1-X1'線、X2-X2'線、Y1-Y1'線、Y2-Y2'線に沿った断面構造概略を示す断面図である。

【図6】他の第3基本ヒューズブロックの断面構造の概

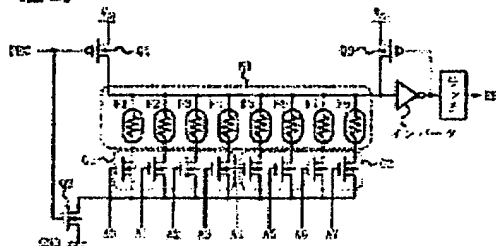
要を説明するための図で、(a)は平面図、(b)、(c)、(d)、(e)はそれぞれ(a)のX1-X1'線、X2-X2'線、Y1-Y1'線、Y2-Y2'線に沿った断面構造概略を示す断面図である。
 【図7】各ヒューズ部の寸法定義を示す図である。
 【図8】2個の第3基本ヒューズブロックを用いたときのヒューズ部の配置例を示す平面図である。
 【図9】特開平11-150239号公報に開示されたヒューズの配置を説明する図である。
 【図10】ヒューズを同一平面上で並行に配列して例の平面図である。
 【符号の説明】
 1, 2 トランジスタ領域 3 照射領域 5 ヒューズ意 10 共通電位配線 11, 12, 15, 16,

30, 40, 50, 60 配線 21, 23, 31, 41, 51, 61 接続孔 110, 130 第1基本ヒューズブロック 111, 131 共通配線部 113, 133 第1ヒューズ部 115, 135 第2ヒューズ部 117, 137 第1接続配線部 119, 139 第2接続配線部 210, 220, 230, 240 第2基本ヒューズブロック 211, 221, 231, 241 第3ヒューズ部 213, 223, 233, 243 第3接続配線部 215, 225, 235, 245 第4接続配線部 300, 300A, 300B 第3基本ヒューズブロック 113p, 115p, 133p, 135p, 211p, 221p, 231p, 241p 切断領域

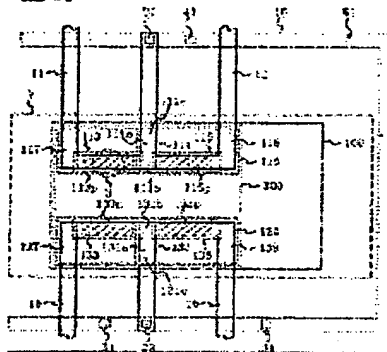
【図1】



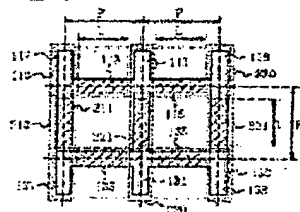
【図2】



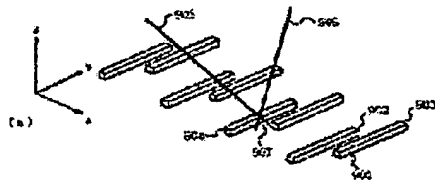
【図3】



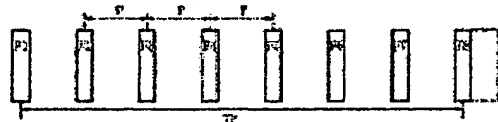
【図7】



【図 9】



【図 10】



フロントページの続き

Fターム (参考) SF038 NH04 NH27 NH28 NH29 U004
 W11 XX00
 SF038 AV15 CA08 CA07
 SF064 B814 EE16 EE26 FF02 FF27
 FF34 FF42